



(19)

(11) Publication number: 2001135799 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11316597

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 27/10

(22) Application date: 08.11.99

(30) Priority:

(43) Date of application
publication: 18.05.01(84) Designated
contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: OKUDAIRA TOMOHITO

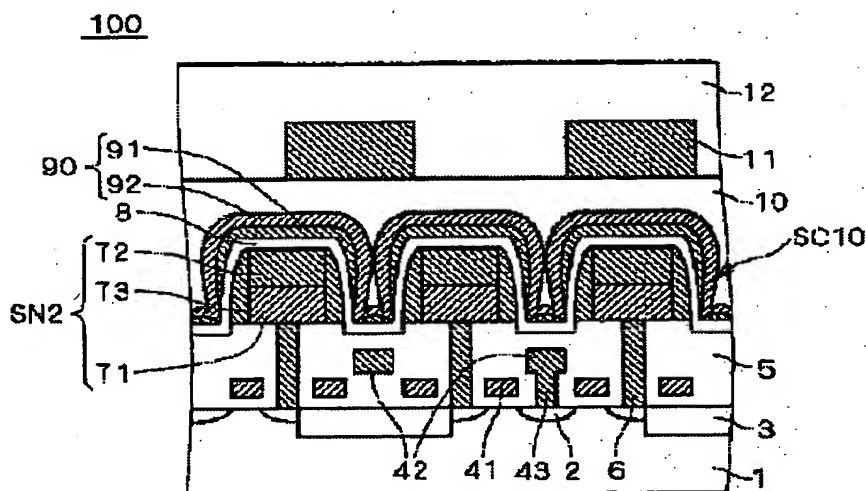
(74) Representative:

(54) SEMICONDUCTOR
DEVICE AND
MANUFACTURING METHOD
FOR THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, together with its manufacturing method, where related to a semiconductor device comprising a stacked capacitor, no degradation in characteristics is caused by hydrogen annealing, even if the hydrogen anneal is performed to restore the damage occurring in a process.

SOLUTION: A storage node electrode SN2 is provided on a plug 6, respectively, with a dielectrics film 8 comprising BST provided entirely so as to cover the upper part of a plurality of storage node electrodes SN2. A first conductive layer 91 comprising platinum is provided to cover the dielectric film 8, and further second conductive layer 92 comprising TiN is provided so as to cover the first conductive layer 91 entirely, while both constituting a counter electrode 90 facing the storage node electrode.



90 : セルプレート 92 : 第2導電層
91 : 第1導電層 SN2 : ストレージノード電極

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-135799

(P2001-135799A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 27/108		H 0 1 L 27/10	4 5 1 5 F 0 8 3
21/8242			6 2 1 B
27/10	4 5 1		6 5 1

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21)出願番号 特願平11-316597

(22)出願日 平成11年11月8日(1999.11.8)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 奥平 智仁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5F083 AD43 AD48 AD49 AD51 AD54

FR02 JA06 JA14 JA15 JA36

JA37 JA38 JA39 JA40 JA43

MA06 MA17 MA20 PR09 PR18

PR21 PR22 PR33 PR43 PR53

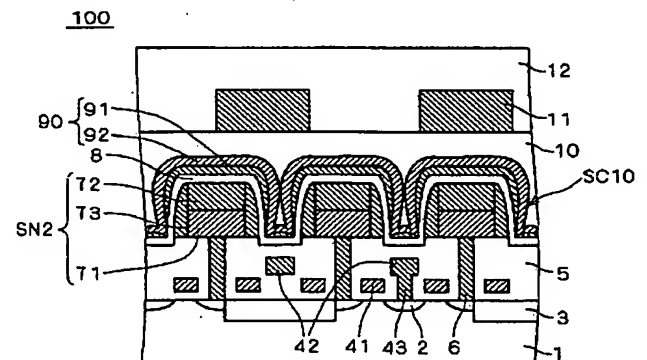
ZA01

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 スタックトキャパシタを有した半導体装置において、プロセスの過程で生じたダメージを回復するために水素アニールを行っても、水素アニールによる特性劣化を生じない半導体装置およびその製造方法を提供する。

【解決手段】 ストレージノード電極S N 2はプラグ6上にそれぞれ設けられ、複数のストレージノード電極S N 2の上部を覆うようにB S Tで構成される誘電体膜8が全面的に配設されている。そして、誘電体膜8を覆うように白金で構成された第1導電層9 1が配設され、さらに第1導電層9 1を全面的に覆うように、T i Nで構成された第2導電層9 2が配設され、両者でストレージノード電極に対する対向電極9 0を構成している。



90 : セルプレート

91 : 第1導電層

92 : 第2導電層

SN2 : ストレージノード電極

【特許請求の範囲】

【請求項 1】 下地層の上に形成され、下部電極と、強誘電体膜と、上部電極とを有するキャパシタを複数備えた半導体装置であって、

前記強誘電体膜は前記下部電極の上部および側面と、前記複数のキャパシタ間の前記下地層上を覆うように配設され、

前記上部電極は、

少なくとも前記下部電極の上部および側面の前記強誘電体膜を覆う第 1 導電層と、

前記第 1 導電層の上部および側面を覆うとともに、前記複数のキャパシタ間の前記強誘電体膜上部に配設される第 2 導電層と、を備える半導体装置。

【請求項 2】 前記第 1 導電層はスパッタリング法で形成され、

前記第 2 導電層は CVD 法で形成される、請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 導電層は、

白金元素のうちの 1 の元素、または白金元素のうちの少なくとも 1 の元素を含んだ合金で構成される、請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 導電層は、

Ti、W、Ta、Ru のうち何れかを主成分として構成される、請求項 2 記載の半導体装置。

【請求項 5】 下地層の上に形成され、下部電極と、強誘電体膜と、上部電極とを有するキャパシタを複数備えた半導体装置であって、

前記強誘電体膜は前記下部電極の上部および側面と、前記複数のキャパシタ間の前記下地層上を覆うように配設され、

前記上部電極は、

少なくとも前記下部電極の上部および側面の前記強誘電体膜を覆う第 1 導電層と、

前記複数のキャパシタの全てに渡り、前記第 1 導電層の上部に接触する平板状の第 2 導電層と、を備える半導体装置。

【請求項 6】 前記第 1 および第 2 導電層はスパッタリング法で形成される、請求項 5 記載の半導体装置。

【請求項 7】 前記第 1 および第 2 導電層は、

白金元素のうちの 1 の元素、または白金元素のうちの少なくとも 1 の元素を含んだ合金で構成される、請求項 6 記載の半導体装置。

【請求項 8】 半導体基板上に形成され、それぞれ構成の異なる第 1 および第 2 の回路部を備えた半導体装置の製造方法であって、

(a) 前記半導体基板上の前記第 1 および第 2 の回路部となる部分に対応させて、半導体素子を含んだ下地層の第 1 および第 2 の部分を形成する工程と、

(b) 前記下地層の第 1 の部分上に、

下部電極と、強誘電体膜と、上部電極とを有するキャパ

シタを複数形成する工程と、

(c) 前記下地層の第 1 の部分上において、前記複数のキャパシタを覆うように層間絶縁膜の第 1 の部分を形成するとともに、前記下地層の第 2 の部分上に、前記層間絶縁膜の第 2 の部分を形成する工程と、

(d) 前記層間絶縁膜の第 1 および第 2 の部分より上層に金属層を形成する工程と、を備え、

前記工程(b)は、

前記下地層の第 1 の部分上に前記下部電極を形成する工程と、

前記下部電極の上部および側面と、前記キャパシタ間の前記下地層上を覆うように前記強誘電体膜を形成する工程と、

少なくとも前記下部電極の上部および側面の前記強誘電体膜を覆うように前記上部電極を形成する工程と、を含み、

前記工程(d)は、

(d-1) 前記第 2 の回路部において、前記金属層を金属配線層として形成すると同時に、前記第 1 の回路部において、前記金属層を前記金属配線層と同じ工程で、前記複数のキャパシタの形成領域を全面的に覆い、前記複数のキャパシタ側に水素が侵入することを防止する水素ブロック層として形成する工程を含む、半導体装置の製造方法。

【請求項 9】 前記工程(d-1)は、

前記金属配線層および前記水素ブロック層を、スパッタリング法で形成する工程を含む、請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記工程(d-1)は、

前記金属配線層および前記水素ブロック層を、Al および Cu の何れかで形成する工程を含む、請求項 8 記載の半導体装置の製造方法。

【請求項 11】 前記工程(d-1)は、

前記金属配線層および前記水素ブロック層を多層で形成し、そのうち 1 層は Al および Cu の何れかで形成する工程を含む、請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に水素アニールに伴う影響を排除できる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 半導体装置において、半導体製造プロセスの初期段階で形成されたトランジスタは、その後に行われる層間絶縁膜形成工程、配線層形成工程等で様々なダメージを受ける。半導体装置の集積化が進み、微細化したトランジスタにおいては、これらのダメージによりしきい値電圧が大きく変動し、設計通りの特性が得られない等の問題が発生することがある。

【0003】 そこで、プロセスの過程で生じたダメージ

10

20

30

40

50

を回復するために、プロセスの最終段階で、水素雰囲気中で水素アニールを行うが、BST (barium strontium titanate) やPZT (lead zirconate titanate) などの強誘電体材料をキャパシタ誘電体として使用するDRAM等の半導体装置においては、水素アニールによりリーク電流の増大などの特性劣化を引き起こすことが知られている。

【0004】この特性劣化は、例えばキャパシタ電極として用いる白金(Pt)に酸素を添加して、水素の侵入を阻止する機能を持たせることで抑制可能である。

【0005】ここで、図16に従来の集積度が比較的低いDRAMの一例として、スタックトキャパシタを有したDRAMのメモリセル部における断面構成を示す。

【0006】図16において、シリコン基板1上に層間絶縁膜55が形成され、層間絶縁膜55を貫通してシリコン基板1に達する複数の導電性のプラグ56が配設されている。なお、プラグ56はシリコン基板1の表面内に配設されたソース・ドレイン層などの不純物層に接続されるが、図においては省略している。

【0007】プラグ56の一端は層間絶縁膜55上に選択的に配設されたバリアメタル層571に接続され、バリアメタル層571の主面上部には白金で構成されるボトム電極572が配設されている。そして、バリアメタル層571およびボトム電極572の側面を覆うようにサイドウォールスペーサ573が配設され、バリアメタル層571、ボトム電極572でスタックトキャパシタのストレージノード電極SN1が構成される。

【0008】ストレージノード電極SN1はプラグ56上にそれぞれ設けられ、複数のストレージノード電極SN1の上部を覆うようにBSTで構成される誘電体膜58が全面的に配設され、誘電体膜58を覆うようにストレージノード電極に対する対向電極(セルプレートと呼称)59が全面的に配設されてスタックトキャパシタSC1を構成している。このセルプレート59は白金で構成されており、これに酸素を添加することでセルプレート59以下の構成に水素が侵入することを阻止でき、先に説明したように特性劣化を防止できる。

【0009】ここで、図16に示すように集積度が低い場合、ストレージノードSN1の高さは低く、誘電体膜58およびセルプレート59の形成においてステップカバレッジは良好であるが、集積度が高くなるとストレージノードSN1の高さが高くなると、誘電体膜58およびセルプレート59のステップカバレッジが問題になる。

【0010】図17に、従来の集積度が比較的高いDRAMの一例として、スタックトキャパシタSC2を有したDRAMのメモリセル部における断面構成を示す。

【0011】図17において、シリコン基板1上に層間絶縁膜5が形成され、層間絶縁膜5を貫通してシリコン基板1に達する複数の導電性のプラグ6が配設されてい

る。なお、プラグ6はシリコン基板1の表面内に配設されたソース・ドレイン層などの不純物層に接続されるが、図においては省略している。

【0012】プラグ6の一端は層間絶縁膜5上に選択的に配設されたバリアメタル層71に接続され、バリアメタル層71の主面上部には白金で構成されるボトム電極72が配設されている。そして、バリアメタル層71およびボトム電極72の側面を覆うようにサイドウォール電極73が配設され、バリアメタル層71、ボトム電極72およびサイドウォール電極73でスタックトキャパシタのストレージノード電極SN2が構成される。

【0013】ストレージノード電極SN2はプラグ6上にそれぞれ設けられ、複数のストレージノード電極SN2の上部を覆うようにBSTで構成される誘電体膜8が全面的に配設され、誘電体膜8を覆うようにストレージノード電極に対する対向電極(セルプレートと呼称)9が配設されてスタックトキャパシタSC2を構成している。このセルプレート9は白金で構成されており、これに酸素を添加することでセルプレート9以下の構成に水素が侵入することを阻止するが、セルプレート9のステップカバレッジが問題になる。

【0014】すなわち、白金のセルプレート9をCVD (chemical vapor deposition) 法により形成することは、技術的側面、コスト的側面から困難であり、セルプレート9はスパッタリング法により形成されるが、集積化に伴ってストレージノード電極SN2の高さが高くなり、またストレージノード間の間隔が狭くなると、スパッタリング法ではストレージノードSN2の側面部およびボトム部において、十分なステップカバレッジが得られなくなり、場合によっては図17に示すようにセルプレート9が不連続に形成され、誘電体膜8が露出することもある。

【0015】このような状態になると、水素アニール時にセルプレート9の不連続部から水素が侵入し、前述した特性劣化が発生する。

【0016】

【発明が解決しようとする課題】本発明は上記のような問題点を解消するためになされたもので、スタックトキャパシタを有した半導体装置において、プロセスの過程で生じたダメージを回復するために水素アニールを行っても、水素アニールによる特性劣化を生じない半導体装置およびその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、下地層の上に形成され、下部電極と、強誘電体膜と、上部電極とを有するキャパシタを複数備えた半導体装置であって、前記強誘電体膜は前記下部電極の上部および側面と、前記複数のキャパシタ間の前記下地層上を覆うように配設され、前記上部電極は、少なくとも前記下部電極の上部および側面の前記強誘電

体膜を覆う第1導電層と、前記第1導電層の上部および側面を覆うとともに、前記複数のキャパシタ間の前記強誘電体膜上部に配設される第2導電層とを備えている。

【0018】本発明に係る請求項2記載の半導体装置は、前記第1導電層がスパッタリング法で形成され、前記第2導電層はCVD法で形成される。

【0019】本発明に係る請求項3記載の半導体装置は、前記第1導電層が、白金元素のうちの1の元素、または白金元素のうち少なくとも1の元素を含んだ合金で構成される。

【0020】本発明に係る請求項4記載の半導体装置は、前記第2導電層が、Ti、W、Ta、Ruのうち何れかを主成分として構成される。

【0021】本発明に係る請求項5記載の半導体装置は、下地層の上に形成され、下部電極と、強誘電体膜と、上部電極とを有するキャパシタを複数備えた半導体装置であって、前記強誘電体膜は前記下部電極の上部および側面と、前記複数のキャパシタ間の前記下地層上を覆うように配設され、前記上部電極は、少なくとも前記下部電極の上部および側面の前記強誘電体膜を覆う第1導電層と、前記複数のキャパシタの全てに渡り、前記第1導電層の上部に接触する平板状の第2導電層とを備えている。

【0022】本発明に係る請求項6記載の半導体装置は、前記第1および第2導電層がスパッタリング法で形成される。

【0023】本発明に係る請求項7記載の半導体装置は、前記第1および第2導電層が、白金元素のうちの1の元素、または白金元素のうち少なくとも1の元素を含んだ合金で構成される。

【0024】本発明に係る請求項8記載の半導体装置の製造方法は、半導体基板上に形成され、それぞれ構成の異なる第1および第2の回路部を備えた半導体装置の製造方法であって、前記半導体基板上の前記第1および第2の回路部となる部分に対応させて、半導体素子を含んだ下地層の第1および第2の部分形成する工程(a)と、前記下地層の第1の部分上に、下部電極と、強誘電体膜と、上部電極とを有するキャパシタを複数形成する工程(b)と、前記下地層の第1の部分上において、前記複数のキャパシタを覆うように層間絶縁膜の第1の部分形成するとともに、前記下地層の第2の部分上に、前記層間絶縁膜の第2の部分形成する工程(c)と、前記層間絶縁膜の第1および第2の部分より上層に金属層を形成する工程(d)とを備え、前記工程(b)は、前記下地層の第1の部分上に前記下部電極を形成する工程と、前記下部電極の上部および側面と、前記キャパシタ間の前記下地層上を覆うように前記強誘電体膜を形成する工程と、少なくとも前記下部電極の上部および側面の前記強誘電体膜を覆うように前記上部電極を形成する工程とを含み、前記工程(d)は、前記第2の回路部において、前

記金属層を金属配線層として形成すると同時に、前記第1の回路部において、前記金属層を前記金属配線層と同じ工程で、前記複数のキャパシタの形成領域を全面的に覆い、前記複数のキャパシタ側に水素が侵入することを防止する水素ブロック層として形成する工程(d-1)を含んでいる。

【0025】本発明に係る請求項9記載の半導体装置の製造方法は、前記工程(d-1)が、前記金属配線層および前記水素ブロック層を、スパッタリング法で形成する工程を含んでいる。

【0026】本発明に係る請求項10記載の半導体装置の製造方法は、前記工程(d-1)が、前記金属配線層および前記水素ブロック層を、AlおよびCuの何れかで形成する工程を含んでいる。

【0027】本発明に係る請求項11記載の半導体装置の製造方法は、前記工程(d-1)が、前記金属配線層および前記水素ブロック層を多層で形成し、そのうち1層はAlおよびCuの何れかで形成する工程を含んでいる。

【0028】

【発明の実施の形態】<A. 実施の形態1>本発明に係る実施の形態1として、図1にDRAM100のメモリセル部における断面構成を示す。

【0029】<A-1. 装置構成>図1において、シリコン基板1上に層間絶縁膜5が形成され、層間絶縁膜5を貫通してシリコン基板1に達する複数の導電性のプラグ6が配設されている。プラグ6はポリシリコンあるいは窒化チタン(TiN)で構成されている。

【0030】シリコン基板1の表面内には、MOSトランジスタのソース・ドレイン層2およびMOSトランジスタ間を電気的に分離する素子分離絶縁膜3が選択的に複数配設され、プラグ6はソース・ドレイン層2に接続されている。

【0031】また、層間絶縁膜5内には、隣り合うソース・ドレイン層2の間のシリコン基板1上に対応してゲート電極41が配設され、複数のソース・ドレイン層2のうち、プラグ6が接続されていないものの上部に対応してビット線42が配設され、ビット線42とソース・ドレイン層2の間には、両者を電気的に接続するビット線コンタクト43が配設されている。

【0032】なお、ゲート電極41はトランスファージェートとして素子分離絶縁膜3上にも配設され、ビット線42は素子分離絶縁膜3上にも配設されている。

【0033】プラグ6の一端は層間絶縁膜5上に選択的に配設されたバリア金属層71に接続され、バリア金属層71の主面上部には白金で構成されるボトム電極72が配設されている。そして、バリア金属層71およびボトム電極72の側面を覆うように白金のサイドウォール電極73が配設され、バリア金属層71、ボトム電極72およびサイドウォール電極73でスタックト

10

20

30

40

50

キャパシタのストレージノード電極SN2（下部電極）が構成される。

【0034】ストレージノード電極SN2はプラグ6上にそれぞれ設けられ、複数のストレージノード電極SN2の上部を覆うようにBSTで構成される誘電体膜8が全面的に配設されている。

【0035】そして、誘電体膜8を覆うように白金で構成された第1導電層91が配設され、さらに第1導電層91を全面的に覆うように、TiNで構成された第2導電層92が配設され、両者でストレージノード電極に対する対向電極（セルプレートと呼称）90（上部電極）を構成している。

【0036】なお、誘電体膜8は白金で構成されるストレージノード電極SN2および第1導電層91で挟まれる構成となっている。これは誘電体膜8を構成するBST等の強誘電体は酸化物であるが還元されやすい特性がある。これに還元性の強い材質が接触すると還元されて絶縁性が損なわれ、これがキャパシタ部であればキャパシタとしての機能が失われるので、還元性の弱い白金等で挟んでいる。

【0037】これらストレージノード電極SN2、誘電体膜8、第1導電層91および第2導電層92でスタックトキャパシタSC10を構成している。

【0038】そしてスタックトキャパシタSC10を覆うように層間絶縁膜10が配設され、層間絶縁膜10上に金属配線層11が配設され、金属配線層11を覆うようにパッシベーション膜12が配設されてDRAM100が構成される。

【0039】＜A-2. 製造方法＞次に、図2～図7を用いてDRAM100の製造方法について説明する。まず、図2に示す工程において、シリコン基板1を準備し、その表面内に酸化膜で構成される素子分離絶縁膜3を選択的に形成する。

【0040】次に、全面的にゲート酸化膜となる酸化膜51を形成し、酸化膜51上に選択的にゲート電極41を形成する。このとき、素子分離絶縁膜3の上部にもゲート電極41が構成されトランスファergeート（ワード線）となる。

【0041】そして、酸化膜51の直下のシリコン基板1内に、ゲート電極41をマスクとして、不純物イオンを注入することによって、選択的にソース・ドレイン層2を形成する。

【0042】次に、図3に示す工程において、ゲート電極41を完全に覆うように酸化膜で構成される層間絶縁膜52を形成し、層間絶縁膜52および酸化膜51を貫通してソース・ドレイン層2に到達するコンタクトホールを選択的に形成した後、当該コンタクトホール内に導電体を埋め込んでビット線コンタクト43を形成する。

【0043】その後、ビット線コンタクト43上にビット線42を形成することで、ビット線42とソース・ド

レイン層2とを電氣的に接続する。なお、ビット線42は素子分離絶縁膜3の上部にも形成される。

【0044】次に、図4に示す工程において、ビット線42を完全に覆うように酸化膜で構成される層間絶縁膜53を形成する。なお、酸化膜51、層間絶縁膜52および53を総称して層間絶縁膜5とし、以後は層間絶縁膜5として説明する。

【0045】次に、図5に示す工程において、ビット線コンタクト43が接続されていないソース・ドレイン層2に達するように、層間絶縁膜5を貫通するコンタクトホールを通常のドライエッチングプロセスにより形成した後、当該コンタクトホール内を埋め込むように、層間絶縁膜5上に導電体として例えばドーフトポリシリコン層を形成し、エッチバックにより層間絶縁膜5上のドーフトポリシリコン層のみを除去してプラグ6を形成する。なお、層間絶縁膜5上に形成するドーフトポリシリコン層の厚みは、コンタクトホールの開口半径の1.5倍程度とした。

【0046】なお、プラグ6を構成する導電体としては、ドーフトポリシリコンに限定されるものではなく、例えばタングステン（W）のような金属、あるいはTiNのような導電性窒化物でも良い。また、エッチバックプロセスにCMP（chemical Mechanical Polishing）を用いても良い。

【0047】続いて、プラグ6上に、例えばTiNで構成されるバリアメタル層71、および白金で構成されるボトム電極72をスパッタリング法により順次積層する。

【0048】なお、バリアメタル層71およびボトム電極72の厚さは、それぞれ100nmおよび50nm程度である。

【0049】次に、図6に示す工程において、バリアメタル層71およびボトム電極72をドライエッチング法により所定のパターンにパターニング後、バリアメタル層71およびボトム電極72を覆うように全面的に、スパッタリング法により白金層を50nm程度の厚さで形成する。

【0050】そして、当該白金層を異方性エッチングにより除去して、バリアメタル層71およびボトム電極72の側面にサイドウォール電極73を形成することで、ストレージノードSN2を得る。

【0051】なお、ボトム電極72の代わりに絶縁物を使用する構成とする場合もある。また、ストレージノードSN2の、バリアメタル層71およびボトム電極72のように2層構造とせず、ルテニウム（Ru）の厚い層の単層構造としても良い。

【0052】次に、図7に示す工程において、ストレージノードSN2を覆うように全面的にBST膜および白金層をスパッタリング法により順に積層して誘電体膜8および第1導電層91を形成する。なお、誘電体膜8お

10

20

30

40

50

よび第1導電層91の厚さは、それぞれ60nmおよび100nm程度とする。

【0053】なお、誘電体膜8および第1導電層91の厚さは上記に限定されず、それぞれ30~60nmおよび30~100nmの範囲で形成すれば良い。

【0054】続いて、第1導電層91を覆うようにCVD法により全面的に厚さ10nm程度のTiN層を形成し、所定のパターンにパターニングすることで第2導電層92を形成してスタックトキャパシタSC10を構成する。なお、第1および第2導電層91および92でセルプレート90を構成する。また、第2導電層92の厚さは上記に限定されず、5~50nmの範囲で形成すれば良い。

【0055】スパッタリング法により形成される第1導電層91は、ストレージノードSN2の側面部およびボトム部において、十分なステップカバレッジが得られず、不連続となり、誘電体膜8が露出した部も発生する合があるが、CVD法により形成した第2導電層92は、ステップカバレッジも良好であり、第1導電層91の上面だけでなく側面部およびボトム部も覆うことができ、スタックトキャパシタ10間において露出した誘電体膜8も完全に覆うことができる。

【0056】なお、誘電体膜8としてはBST膜を使用する例を示したが、PZT膜でも、Ta₂O₅膜でも良い。

【0057】また、ボトム電極72、サイドウォール電極73、第1導電層91は白金に限定されず、他の白金元素(Ru、Rh、Pd、Os、Ir)や、これらの合金で構成しても良い。

【0058】また、第2導電層92の材質はTiN膜に限定されず、CVD法で形成されるのであれば、WN(窒化タンゲステン)、Ta₂N(窒化タンタル)および、これらにシリコンやアルミニウム(Al)を含有したもの、またはCVD法で形成されるPtO膜、Ru膜でも良い。

【0059】なお、第2導電層92として窒化物を使用するのは、白金および白金族元素との反応性が小さいためである。

【0060】続いて、スタックトキャパシタSC10を完全に覆うように層間絶縁膜10を形成した後、層間絶縁膜10上に金属配線層11を形成し、金属配線層11を覆うようにパッシベーション膜12を形成する。

【0061】最後に、プロセスの過程で生じたダメージ回復のために、温度400℃の水素雰囲気中で、20分間の水素アニールを行うことで、図1に示すDRAM100が完成する。

【0062】なお、第2導電層92は層間絶縁膜10を貫通して配設されたコンタクト部(図示せず)を介して、上層の配線層、例えば金属配線層11に接続され、一連のスタックトキャパシタSC10のセルプレート9

0の電位は同電位となる。

【0063】<A-3. 作用効果>以上説明したように、DRAM100においては第1導電層91を覆うように配設された第2導電層92を有し、第2導電層92はCVD法により形成されるのでステップカバレッジも良好であり、第1導電層91で覆い尽くせなかった誘電体膜8も覆うことができ、プロセスの最終段階で行う水素アニールの水素が、セルプレート90以下の構成に侵入することを阻止でき、リーク電流の増大などの特性劣化を引き起こすことを防止できる。

【0064】なお、CVD法により形成される第2導電層92はピンホールなど有さず、水素の通過を確実に阻止できる。

【0065】<B. 実施の形態2>本発明に係る実施の形態2として、図8にDRAM200のメモリセル部における断面構成を示す。なお、図8において、図1に示したDRAM100と同一の構成については同一の符号を付し、説明は省略する。

【0066】<B-1. 装置構成>図8において、複数のストレージノード電極SN2(下部電極)の上部を覆うようにBSTで構成される誘電体膜8が全面的に配設され、誘電体膜8を覆うように白金で構成された第1導電層91が配設されている。そして、第1導電層91で覆われたストレージノード電極SN2間を埋め込むように絶縁膜19が配設されている。ストレージノード電極SN2を覆う第1導電層91のそれぞれの上面は絶縁膜19で覆われずに露出し、それらに接するように白金で構成される第2導電層91Aが全面的に配設され、両者でストレージノード電極に対する対向電極(セルプレートと呼称)90A(上部電極)を構成している。

【0067】これらストレージノード電極SN2、誘電体膜8、第1導電層91および第2導電層92AでスタックトキャパシタSC20を構成している。

【0068】そしてスタックトキャパシタSC20を覆うように層間絶縁膜10が配設され、層間絶縁膜10上に金属配線層11が配設され、金属配線層11を覆うようにパッシベーション膜12が配設されてDRAM200が構成される。

【0069】<B-2. 製造方法>次に、図9~図11を用いてDRAM200の製造方法について説明する。なお、図9の構成に至るまでの工程は、図2~図6を用いて説明した製造工程と同様であるので説明は省略する。

【0070】図9に示す工程において、バリアメタル層71およびボトム電極72をドライエッチング法により所定のパターンにパターニング後、バリアメタル層71およびボトム電極72を覆うように全面的に、スパッタリング法により白金層を50nmの厚さで形成する。

【0071】そして、当該白金層を異方性エッチングにより除去して、バリアメタル層71およびボトム電極7

2の側面にサイドウォール電極73を形成することで、ストレージノードSN2を得る。

【0072】次に、図10に示す工程において、ストレージノードSN2を覆うように全面的にBST膜および白金層をスパッタリング法により順に積層して誘電体膜8および第1導電層91を形成する。なお、誘電体膜8および第1導電層91の厚さは、それぞれ60nmおよび100nm程度とする。

【0073】続いて、第1導電層91を覆うように100nm程度の厚さの絶縁膜19を全面的に形成することで、第1導電層91で覆われたストレージノード電極SN2間を完全に埋め込む。

【0074】なお、誘電体膜8および第1導電層91の厚さは上記に限定されず、それぞれ30~60nmおよび30~100nmの範囲で形成すれば良い。

【0075】次に、図11に示す工程において、複数のストレージノード電極SN2を覆う第1導電層91のそれぞれの上面が露出するまで絶縁膜19をエッチバックし平坦化する。

【0076】続いて、スパッタリング法により全面的に厚さ100nmの白金層を形成し、所定のパターンにパターニングすることで、第1導電層91のそれぞれの上面に接触する第2導電層92Aを形成してスタックトキャパシタSC20を構成する。なお、第1および第2導電層91および92Aでセルプレート90Aを構成する。また、第2導電層92Aの厚さは上記に限定されず、15~100nmの範囲で形成すれば良い。

【0077】続いて、スタックトキャパシタSC20を完全に覆うように層間絶縁膜10を形成した後、層間絶縁膜10上に金属配線層11を形成し、金属配線層11を覆うようにパッシベーション膜12を形成する。

【0078】最後に、プロセスの過程で生じたダメージ回復のために、温度400℃の水素雰囲気中で、20分間の水素アニールを行うことで、図8に示すDRAM200が完成する。

【0079】<B-3. 作用効果>以上説明したように、DRAM200においては、ストレージノード電極SN2を覆う第1導電層91のそれぞれの上面に接するように、白金で構成される第2導電層91Aが全面的に配設されているので、第1導電層91で誘電体膜8を覆い尽くせなかった場合であっても、プロセスの最終段階で行う水素アニールの水素が、セルプレート90A以下の構成に侵入することを阻止でき、リーク電流の増大などの特性劣化を引き起こすことを防止できる。

【0080】また、第2導電層92Aは、第1導電層91のそれぞれの上面に接触するように全面的に配設されるので、両者は電氣的に同電位となり、第2導電層92Aに層間絶縁膜10を貫通して配設されたコンタクト部(図示せず)を介して、上層の配線層、例えば金属配線層11に接続することで、一連のスタックトキャパシタ

SC20のセルプレート90Aの電位は同電位にすることができる。

【0081】また、第2導電層92Aは平板状に形成されるので、ステップカバレッジを考慮する必要がなく、スパッタリング法による成膜が可能なので、対クラック性に優れ、白金その他の水素の侵入阻止に有効な金属材料の使用が可能となる。

【0082】<C. 実施の形態3>本発明に係る実施の形態3として、図12(a)および(b)にDRAM300のメモリセル部(第1の回路部)および周辺回路部(第2の回路部)における断面構成を示す。なお、図8において、図1に示したDRAM100と同一の構成については同一の符号を付し、説明は省略する。

【0083】また、図8において層間絶縁膜5および層間絶縁膜5内の半導体素子を含めた構成を下地層と総称し、メモリセル部および周辺回路部における下地層を区別するため、それぞれ下地層の第1の部分および下地層の第2の部分と呼称する場合もある。

【0084】これは、層間絶縁膜5以外の層間絶縁膜においても同様であり、メモリセル部および周辺回路部における層間絶縁膜を、それぞれ層間絶縁膜の第1の部分および層間絶縁膜の第2の部分と呼称する場合もある。

【0085】<C-1. 装置構成>メモリセル部を示す図12(a)において、複数のストレージノード電極SN2(下部電極)の上部を覆うようにBSTで構成される誘電体膜8が全面的に配設され、誘電体膜8を覆うように白金で構成されたセルプレート95(上部電極)が配設されてスタックトキャパシタSC30を構成している。そして、セルプレート95で覆われたストレージノード電極SN2を完全に覆うように層間絶縁膜10が配設されている。

【0086】そして、層間絶縁膜10上に金属配線層11が配設され、金属配線層11を覆うように層間絶縁膜16が配設され、層間絶縁膜16上には水素ブロック層13が配設され、水素ブロック層13を覆うようにパッシベーション膜12が配設されている。

【0087】周辺回路部を示す図12(b)において、シリコン基板1の表面内の構成および、シリコン基板1上を覆う層間絶縁膜5内の構成は図12(a)と基本的に同じであるが、周辺回路においては層間絶縁膜5上にはスタックトキャパシタを有さないため、プラグ6等は配設されていない。

【0088】層間絶縁膜5上には、層間絶縁膜10が配設され、層間絶縁膜10上に金属配線層11が配設され、金属配線層11を覆うように層間絶縁膜16が配設され、層間絶縁膜16上には金属配線層15が配設され、金属配線層15を覆うようにパッシベーション膜12が配設されている。

【0089】<C-2. 製造方法>次に、図13(a)、(b)~図15(a)、(b)を用いてDRA

M300の製造方法について説明する。なお、図13 (a)、(b)の構成に至るまでの工程は、図2～図6を用いて説明した製造工程と同様であるので説明は省略する。

【0090】メモリセル部においては、図13 (a)に示す工程において、層間絶縁膜5 (下地層の第1の部分) 上のバリア金属層71およびボトム電極72をドライエッチング法により所定のパターンにパターニング後、バリア金属層71およびボトム電極72を覆うように全面的に、スパッタリング法により白金層を50 nmの厚さで形成する。

【0091】そして、当該白金層を異方性エッチングにより除去して、バリア金属層71およびボトム電極72の側面にサイドウォール電極73を形成することで、ストレージノードSN2を得る。

【0092】なお、周辺回路部においては、図13 (b)に示すように、層間絶縁膜5 (下地層の第2の部分) 上にマスクMKを形成することで、ストレージノードSN2等の不要な構成を形成しないようにする。

【0093】次に、メモリセル部においては、図14 (a)に示す工程において、ストレージノードSN2を覆うように全面的にBST膜および白金層をスパッタリング法により順に積層して誘電体膜8およびセルプレート95を形成する。なお、誘電体膜8およびセルプレート95の厚さは、それぞれ60 nmおよび100 nm程度とする。

【0094】なお、誘電体膜8およびセルプレート95の厚さは上記に限定されず、それぞれ30～60 nmおよび30～100 nmの範囲で形成すれば良い。

【0095】続いて、セルプレート95で覆われたストレージノード電極SN2を完全に覆うように層間絶縁膜10 (層間絶縁膜の第1の部分) を形成する。

【0096】なお、周辺回路部においては、メモリセル部での層間絶縁膜10 (層間絶縁膜の第1の部分) の形成に合わせて層間絶縁膜5上のマスクMKを除去し、図14 (b)に示すように、層間絶縁膜10を形成する。

【0097】次に、メモリセル部および周辺回路部において、図15 (a)、(b)に示すように、層間絶縁膜10上に金属配線層11を形成し、金属配線層11を覆うように層間絶縁膜16を形成する。

【0098】続いて、メモリセル部および周辺回路部の層間絶縁膜16上に厚さ100 nm程度の金属層をスパッタリング法で形成する。この金属層はアルミニウム等の配線材料で構成する。

【0099】その後、当該金属層を所定のパターンにパターニングして、メモリセル部では水素ブロック層13とし、周辺回路部では金属配線層15とする。

【0100】そして、水素ブロック層13および金属配線層15を覆うようにパッシベーション膜12を形成する。

【0101】最後に、プロセスの過程で生じたダメージ回復のために、温度400℃の水素雰囲気中で、20分間の水素アニールを行うことで、図12に示すDRAM300が完成する。

【0102】なお、セルプレート95は層間絶縁膜10を貫通して配設されたコンタクト部 (図示せず) を介して、上層の配線層、例えば金属配線層11に接続され、一連のスタックトキャパシタSC10のセルプレート95の電位は同電位となる。

【0103】＜C-3. 作用効果＞以上説明したように、DRAM300においては、メモリセル部の配線形成のための層において、スパッタリング法により水素ブロック層13を設けたので、セルプレート95で誘電体膜8を覆い尽くせなかった場合であっても、プロセスの最終段階で行う水素アニールの水素が、水素ブロック層13以下の構成に侵入することを阻止でき、リーク電流の増大などの特性劣化を引き起こすことを防止できる。

【0104】また、メモリセル部における水素ブロック層13と、周辺回路部における金属配線層15との関係のように、周辺回路部における金属配線層の工程で、メモリセル部に水素の侵入阻止のための層を形成することで、水素の侵入阻止のための層の形成のための専用の工程を設ける必要がなく、製造コストの増加を抑制できる。

【0105】なお、図12 (a) および (b) に示すDRAM300においては、金属配線層がメモリセル部では1層、周辺回路部では2層の構成を示し、水素ブロック層13は最上層に設けられる例を示したが、ロジック回路を搭載したメモリ等では、配線層が3～6層になることがある。この場合でも、メモリセル部での水素ブロック層を周辺回路部での配線層の形成工程で同時に形成することで、製造コストの増加を抑制できる。また、この場合、水素ブロック層は最上層に形成される必要はない。

【0106】また、DRAM300においては、水素ブロック層13としてスパッタリング法で形成したアルミニウムを使用する例を示したが、形成方法はスパッタリング法に限定されず、CVD法等でも良い。なお、スパッタリング法で形成した場合は対クラック性に優れた水素ブロック層を得ることができる。

【0107】また、DRAM300においては、水素ブロック層13はアルミニウムの単層構造であったが、多層構造となるように形成しても良い。

【0108】その場合、水素の侵入阻止だけでなく、周辺回路部における配線層としての機能も合わせて考慮し、配線抵抗低減のため、少なくとも1層はアルミニウムまたは銅 (Cu) で構成することが望ましい。

【0109】

【発明の効果】本発明に係る請求項1記載の半導体装置によれば、第2導電層が第1導電層の上部および側面を

覆うとともに、キャパシタ間の強誘電体膜上部に配設されるので、第1導電層で覆い尽くせなかった強誘電体膜も覆うことができ、プロセスの最終段階で行う水素アニールの水素が、上部電極以下の構成に侵入することを阻止でき、リーク電流の増大などの特性劣化を引き起こすことを防止できる。

【0110】本発明に係る請求項2記載の半導体装置によれば、第1導電層をスパッタリング法で形成し、ステップカバレッジに問題がある場合でも、第2導電層をCVD法で形成するので、ステップカバレッジは良好となり、第1導電層で覆い尽くせなかった強誘電体膜も覆うことができる。また、CVD法により形成される第2導電層はピンホールなど有さず、水素の通過を確実に阻止できる。

【0111】本発明に係る請求項3記載の半導体装置によれば、第1導電層を、白金元素のうちの1の元素、または白金元素のうち少なくとも1の元素を含んだ合金で構成するので還元性は弱く、強誘電体膜に還元されやすい酸化物を使用した場合でも強誘電体膜が還元されず、絶縁性を維持して、キャパシタとしての機能を損なうことがない。

【0112】本発明に係る請求項4記載の半導体装置によれば、第2導電層をTi、W、Ta、Ruのうち何れかを主成分とする窒化物で構成し、第1導電層を、白金元素のうちの1の元素で構成した場合、両者の反応性が小さくなる。

【0113】本発明に係る請求項5記載の半導体装置によれば、複数のキャパシタの全てに渡り、第1導電層の上部に接触する平板状の第2導電層を備えているので、第1導電層で強誘電体膜を覆い尽くせなかった場合であっても、プロセスの最終段階で行う水素アニールの水素が、上部電極以下の構成に侵入することを阻止でき、リーク電流の増大などの特性劣化を引き起こすことを防止できる。また、第1導電層と第2導電層が接触するので、両者の電位を共通にすることが容易にできる。

【0114】本発明に係る請求項6記載の半導体装置によれば、第2導電層をスパッタリング法で形成することで、対クラック性に優れ、水素の侵入阻止に有効な金属膜の使用が可能となる。

【0115】本発明に係る請求項7記載の半導体装置によれば、第1および第2の導電層を、白金元素のうちの1の元素、または白金元素のうち少なくとも1の元素を含んだ合金で構成するので還元性は弱く、強誘電体膜に還元されやすい酸化物を使用した場合でも強誘電体膜が還元されず、絶縁性を維持して、キャパシタとしての機能を損なうことがない。

【0116】本発明に係る請求項8記載の半導体装置の製造方法によれば、第2の回路部における金属配線層の工程で、第1の回路部に水素の侵入阻止のための水素ブロック層を形成するので、水素の侵入阻止のための層の

形成のための専用の工程を設ける必要がなく、製造コストの増加を抑制できる。

【0117】本発明に係る請求項9記載の半導体装置の製造方法によれば、水素ブロック層をスパッタリング法で形成することで、対クラック性に優れ、水素の侵入阻止に有効な金属膜の使用が可能となる。

【0118】本発明に係る請求項10記載の半導体装置の製造方法によれば、1の金属配線層および水素ブロック層を、AlおよびCuの何れかで形成するので、配線としての低い抵抗を得ることができる。

【0119】本発明に係る請求項11記載の半導体装置の製造方法によれば、1の金属配線層および水素ブロック層を多層で形成し、そのうち1層はAlおよびCuの何れかで形成するので、配線としての低い抵抗を得るとともに、水素の侵入阻止に有効な金属膜を有した構成が得られる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1の半導体装置の構成を説明する図である。

【図2】 本発明に係る実施の形態1の半導体装置の製造工程を説明する図である。

【図3】 本発明に係る実施の形態1の半導体装置の製造工程を説明する図である。

【図4】 本発明に係る実施の形態1の半導体装置の製造工程を説明する図である。

【図5】 本発明に係る実施の形態1の半導体装置の製造工程を説明する図である。

【図6】 本発明に係る実施の形態1の半導体装置の製造工程を説明する図である。

【図7】 本発明に係る実施の形態1の半導体装置の製造工程を説明する図である。

【図8】 本発明に係る実施の形態2の半導体装置の構成を説明する図である。

【図9】 本発明に係る実施の形態2の半導体装置の製造工程を説明する図である。

【図10】 本発明に係る実施の形態2の半導体装置の製造工程を説明する図である。

【図11】 本発明に係る実施の形態2の半導体装置の製造工程を説明する図である。

【図12】 本発明に係る実施の形態3の半導体装置の構成を説明する図である。

【図13】 本発明に係る実施の形態3の半導体装置の製造工程を説明する図である。

【図14】 本発明に係る実施の形態3の半導体装置の製造工程を説明する図である。

【図15】 本発明に係る実施の形態3の半導体装置の製造工程を説明する図である。

【図16】 従来の半導体装置の構成を説明する図である。

【図17】 従来の半導体装置の構成を説明する図であ

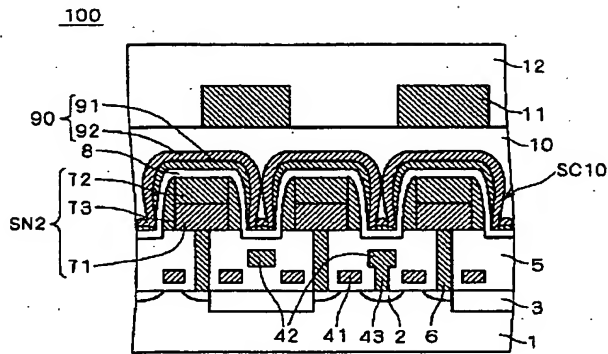
る。

【符号の説明】

13 水素ブロック層、15 金属配線層、90, 90

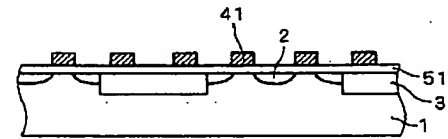
A, 95 セルプレート、91 第1導電層、92, 92 A 第2導電層、SN2 ストレージノード電極。

【図1】

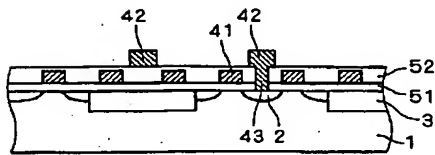


90:セルプレート 92:第2導電層
91:第1導電層 SN2:ストレージノード電極

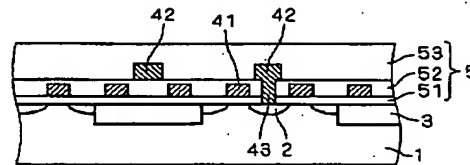
【図2】



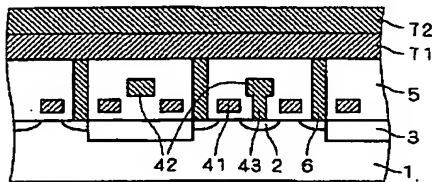
【図3】



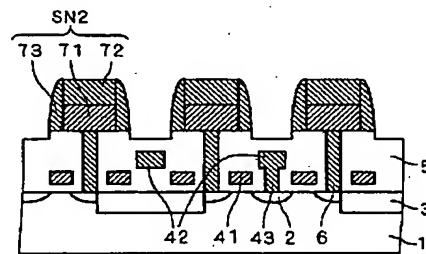
【図4】



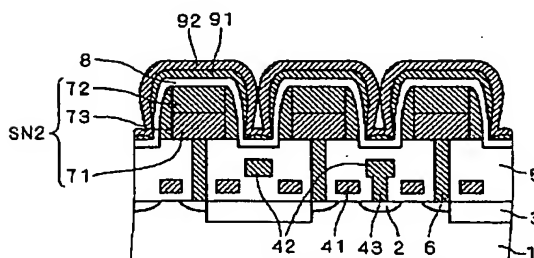
【図5】



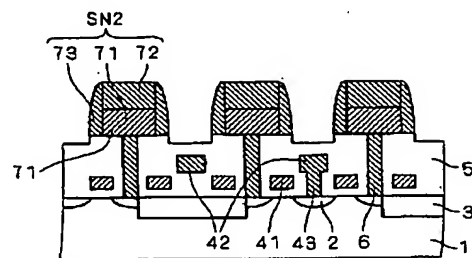
【図6】



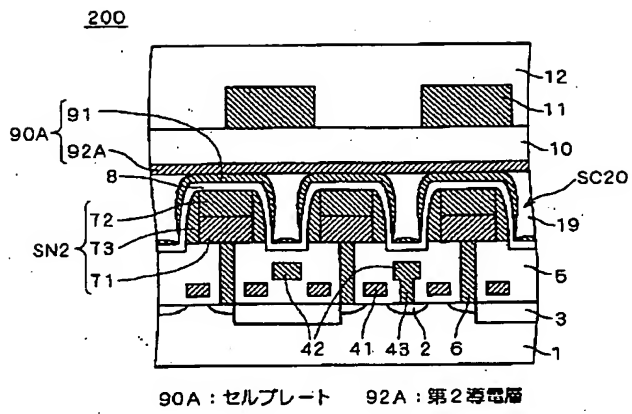
【図7】



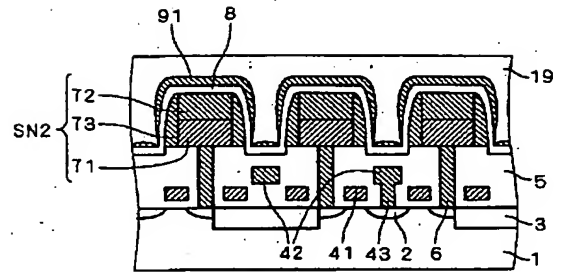
【図9】



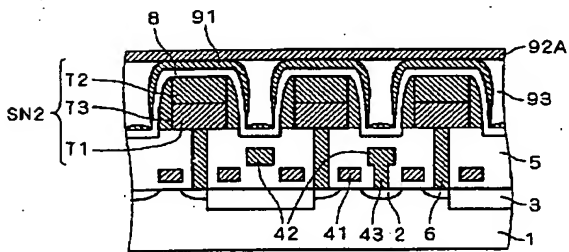
【図8】



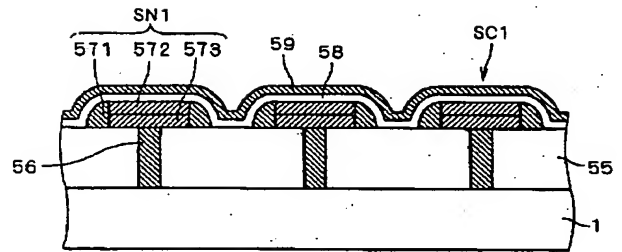
【図10】



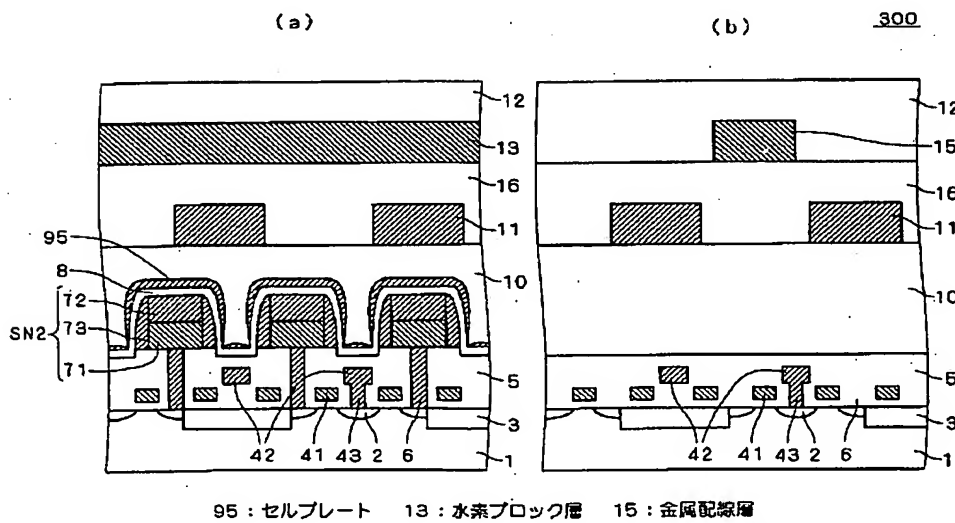
【図11】



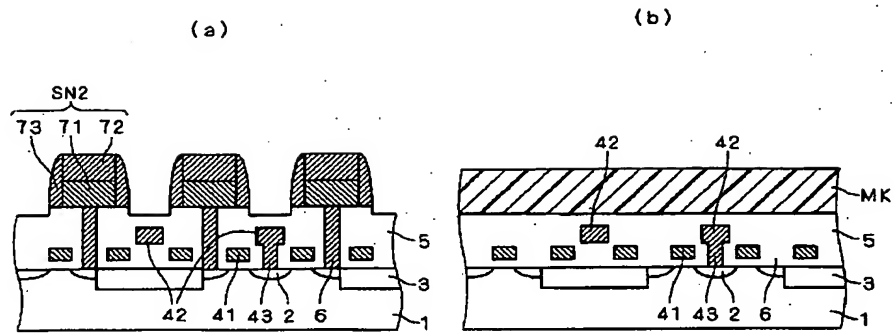
【図16】



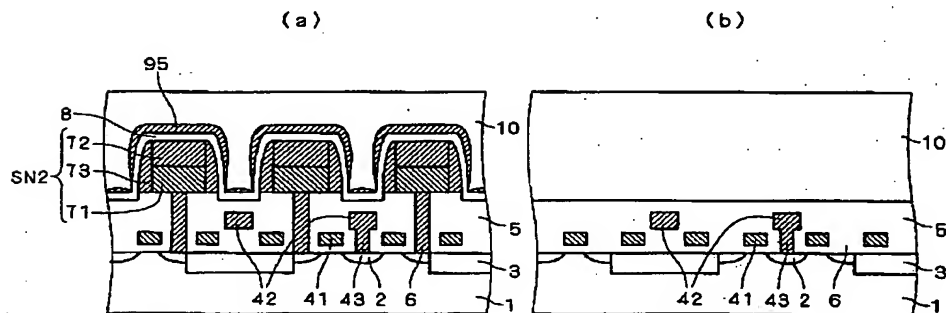
【図12】



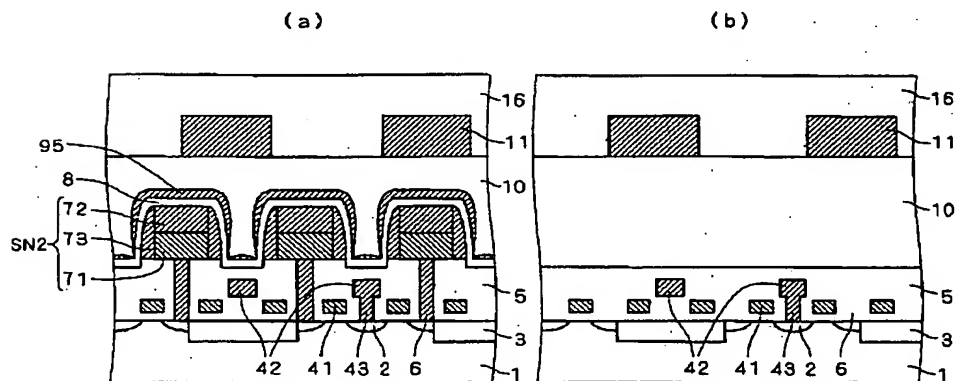
【图 13】



【图 1 4】



【図 15】



【図17】

